

Оглавление

Предисловие

Введение

Глава 1. Основы микропроцессорной техники

1.1. Классификация микропроцессоров, основные варианты их архитектуры и структуры

1.2. Общая структура и принципы функционирования микропроцессорных систем

1.3. Система команд и способы адресации операндов

1.4. Интерфейсы микропроцессорных систем

1.4.1. Основные понятия

1.4.2. Магистраль VME

1.4.3. Магистраль VXI

1.4.4. PCI-локальная магистраль персональных компьютеров

1.5. Шина USB

1.5.1. Основные сведения о шине USB

Глава 2. Процессоры общего назначения и системы на их основе

2.1. Структура и функционирование процессоров Intel P6

2.1.1. Суперскалярная архитектура и организация конвейера команд

2.1.2. Режимы работы процессора и организация памяти

2.1.3. Регистровая модель

2.1.4. Внутренняя кэш-память

2.1.5. Форматы команд и способы адресации

2.2. Система команд: операции над целыми числами

2.2.1. Команды пересылки

2.2.2. Команды арифметических операций

2.2.3. Команды логических операций и сдвигов

2.2.4. Команды битовых и байтовых операций

2.2.5. Команды операций со строками символов

2.3. Система команд: операции управления

2.3.1. Команды управления программой

2.3.2. Команды поддержки языков высокого уровня

2.3.3. Команды организации защиты памяти

2.3.4. Команды управления процессором

2.3.5. Префиксные байты

2.4. Система команд: операции над числами с плавающей точкой

2.4.1. Форматы представления чисел

2.4.2. Выполнение операций

2.4.3. Команды пересылки данных

2.4.4. Команды арифметических операций

2.4.5. Команды сравнения

2.4.6. Команды специальных операций

2.4.7. Команды управления FPU

2.5. Система команд: операции MMX

2.5.1. Форматы представления данных и выполнение операций

2.5.2. Команды пересылки и преобразования данных

2.5.3. Команды арифметических операций

2.5.4. Команды логических операций и сдвигов

2.5.5. Команды сравнения и нахождения максимума/минимума

- 2.6. Система команд: операции SSE
- 2.6.1. Форматы представления данных и выполнение операций
- 2.6.2. Команды пересылки и преобразования данных
- 2.6.3. Команды арифметических операций
- 2.6.4. Команды логических операций
- 2.6.5. Команды сравнения и нахождения максимума/минимума
- 2.6.6. Команды преобразования формата чисел
- 2.6.7. Команды управления
- 2.6.8. Команды пересылки данных с управлением кэшированием
- 2.7. Работа процессора в защищенном и реальном режимах
- 2.7.1. Сегментация памяти в защищенном режиме
- 2.7.2. Страничная организация памяти
- 2.7.3. Защита памяти
- 2.7.4. Поддержка многозадачного режима
- 2.7.5. Реализация режима виртуального 8086 (V86)
- 2.7.6. Функционирование процессора в реальном режиме
- 2.8. Реализация прерываний и исключений. Обеспечение тестирования и отладки
- 2.8.1. Виды прерываний и исключений, реализация их обслуживания
- 2.8.2. Причины возникновения исключений
- 2.8.3. Средства обеспечения отладки
- 2.8.4. Реализация тестирования и контроля функционирования
- 2.9. RISC-микропроцессоры и RISC-микроконтроллеры семейств PowerPC (MPC60x, MPC50x)
- 2.9.1. RISC-микропроцессоры семейств MPC60x (PowerPC)
- 2.9.2. RISC-микроконтроллеры семейств MPC5xx (PowerPC)
- Глава 3. Использование кэш-памяти и организация основной памяти
- 3.1. Общие принципы организации кэш-памяти
- 3.1.1. Понятия тега, индекса и блока
- 3.1.2. Механизм кэш-памяти с прямым отображением данных
- 3.1.3. Механизм кэш-памяти с ассоциативным отображением данных
- 3.1.4. Обновление информации в кэш-памяти
- 3.1.5. Согласованность кэш-памяти
- 3.2. Кэш-память команд и данных
- 3.2.1. Кэш-память адресной трансляции
- 3.2.2. Внутренние кэш-памяти команд и данных
- 3.2.3. Алгоритм кэш-замещений
- 3.2.4. Состояния кэш-памяти данных
- 3.2.5. Согласованность внутренних кэш-памятей
- 3.3. Функционирование памяти
- 3.3.1. Трансляция сегментов
- 3.3.2. Адресация физической памяти
- 3.3.3. Трансляция страниц
- 3.3.4. Комбинирование сегментной и страничной трансляции
- 3.4. Защита памяти
- 3.4.1. Зачем нужна защита?
- 3.4.2. Обзор механизмов защиты
- 3.4.3. Уровень защиты сегментов
- 3.4.4. Уровень защиты страниц

3.4.5. Комбинирование защиты сегментов и страниц

Глава 4.8-разрядные микроконтроллеры

4.1. Структура современных 8-разрядных микроконтроллеров

4.1.1. Модульный принцип построения

4.1.2. Популярное семейство 8-разрядных МК

4.1.3. Процессорное ядро МК.

4.1.4 Резидентная память МК

4.1.5. Порты ввода/вывода

4.1.6. Таймеры и процессоры событий

4.1.7. Аналого-цифровые и цифроаналоговые преобразователи

4.1.8. Контроллеры последовательного ввода/вывода

4.2. Семейство МК MCS-51 фирмы "Intel"

4.2.1. Архитектура МК 8051 АН

4.2.2. Процессорное ядро МК семейства MCS-51

4.2.3. Система команд МК семейства MCS-51

4.2.4. Система прерываний

4.2.5. Порты ввода/вывода МК 8051АН

4.2.6. Таймеры

4.2.7. Асинхронный порт

4.2.8. Организация доступа к внешней памяти

4.2.9. Развитие МК с ядром MCS-51

4.3. Семейство МК HC08 фирмы "Motorola"

4.3.1. Архитектура МК MC68HC908GP32

4.3.2. Процессорное ядро семейства HC08

4.3.3. Система команд МК семейства HC08

4.3.4. Сравнительный анализ системы команд MCS-51 и HC08

4.3.5. Источники и механизм обработки прерываний

4.3.6. Порты ввода/вывода

4.3.7. Процессор событий TIM08

4.3.8. Модуль последовательного синхронного интерфейса SPI08

4.3.9. Модуль последовательного асинхронного интерфейса SPI08

4.3.10. Развитие семейств HC08

4.4. RISC-микроконтроллеры семейства PIC16 фирмы "Microchip"

4.4.1. Архитектура МК PIC16C54

4.4.2. Процессорное ядро PIC16

4.4.3. Система команд МК семейства PIC16

4.5. Принципы построения отладочных средств для 8-разрядных МК

Глава 5. Коммуникационные микроконтроллеры и системы на их основе

5.1. Общие понятия

5.1.1. Семиуровневая модель управления в сетях

5.1.2. Функции, реализуемые коммуникационным контроллером

5.1.3. Семейство коммуникационных микроконтроллеров MPC860

5.2. Организация коммуникационных процессорных модулей в КМК

5.2.1. Структура коммуникационного процессорного модуля

5.2.2. Контроллеры коммуникационных каналов SCC

5.2.3. Контроллеры управления SMC

5.2.4. Контроллеры дополнительных коммуникационных каналов

- 5.3. Поддержка протоколов в коммуникационных контроллерах
- 5.3.1. Доступ к линиям T1/CEPT. Поддержка Basic ISDN
- 5.3.2. Виртуальные каналы и поддержка Primary ISDN
- 5.3.3. Работа в асинхронных каналах связи
- 5.3.4. Доступ к сетям с пакетной передачей (с протоколами X.25)
- 5.3.5. Доступ к сетям Ethernet
- 5.3.6. Протоколы, поддерживаемые на уровне загружаемого микрокода
- Глава 6. Процессоры цифровой обработки сигналов
- 6.1. Принципы организации процессоров обработки сигналов
- 6.1.1. Принципы обработки сигналов в цифровых системах
- 6.1.2. Обобщенная архитектура DSP
- 6.2. Процессоры семейства DSP56000
- 6.2.1. Обзор архитектуры и шинной организации DSP56000
- 6.2.2. Порт А
- 6.2.3. Порт В
- 6.2.4. Порт С
- 6.2.5. Внутрикристалльный эмулятор OpCE
- 6.2.6. Широтно-импульсный модулятор (PWM)
- 6.2.7. Последовательный аудиоинтерфейс (SAI)
- Глава 7. Программируемая логика и ее применение в микропроцессорных системах
- 7.1. Общие сведения, классификация
- 7.1.1. Уровень интеграции интегральных схем (ИС) и его влияние на качество цифровой аппаратуры и ее проектирование. БИС/СБИС программируемой логики - средство исключения интегральных схем малого и среднего уровней интеграции из состава микропроцессорных систем
- 7.1.2. Классификация ИС программируемой логики
- 7.1.3. Конструктивно-технологические типы современных программируемых элементов
- 7.1.4. Области применения микросхем с программируемой логикой
- 7.2. Первые поколения микросхем с программируемой структурой
- 7.2.1. Программируемые логические матрицы и программируемая матричная логика
- 7.2.2. Базовые матричные кристаллы
- 7.3. Типичные фрагменты схемотехники ИС ПЛ. Общие свойства ИС ПЛ
- 7.3.1. Типичные схемотехнические решения
- 7.3.2. Свойства ИС ПЛ. важные для их применения в составе систем
- 7.4. FPGA - программируемые пользователем вентельные матрицы
- 7.4.1. Архитектура и блоки FPGA
- 7.4.2. Популярные FPGA фирмы «ХШпх»
- 7.5. CPLD - сложные программируемые логические устройства
- 7.5.1. Архитектура и блоки CPLD
- 7.5.2. Популярные CPLD фирмы «Altera»
- 7.6. СБИС ПЛ комбинированной архитектуры
- 7.6.1. Общие сведения
- 7.6.2. СБИС ПЛ комбинированной архитектуры FLEX10K
- 7.7. СБИС программируемой логики типа «система на кристалле»
- 7.7.1. Общие сведения
- 7.7.2. СБИС ПЛ с конфигурируемостью всех областей кристалла
- 7.7.3. СБИС ПЛ класса «система на кристалле» с блочной архитектурой
- 7.8. Конфигурирование БИС/СБИС программируемой логики

- 7.9. Методика оценки параметров ИС ПЛ
 - 7.9.1. Вводные замечания
 - 7.9.2. Об оценке сложности микросхем программируемой логики
 - 7.9.3. Об оценке быстродействия микросхем программируемой логики
 - 7.9.4. Параметры популярных семейств микросхем программируемой логики
- 7.10. Аналоговые программируемые микросхемы
 - 7.10.1. Общие сведения
 - 7.10.2. Практические разработки
- Глава 8. Проектирование МПС
 - 8.1. Методика и средства проектирования
 - 8.1.1. Общее описание процесса проектирования
 - 8.1.2. Классификация методик проектирования электронных схем
 - 8.1.3. Области применения СПИС различных типов
 - 8.1.4. Место БИС с программируемыми свойствами в процессе создания современной аппаратуры
 - 8.1.5. Структура алгоритма проектирования
 - 8.1.6. Сопряженное проектирование и сопряженная верификация
 - 8.2. Проектирование типовой конфигурации МП-системы
 - 8.2.1. Типовые конфигурации МП-систем
 - 8.2.2. Основные этапы процедуры проектирования
 - 8.3. Средства и методы проектирования и автономной отладки аппаратных средств МП-системы
 - 8.3.1. Выбор семейства МП и стандартной периферии
 - 8.3.2. Тестовые процедуры
 - 8.3.3. Аппаратные средства отладки
 - 8.4. Средства и методы разработки программного обеспечения
 - 8.4.1. Средства индивидуальных и интегрированных пакетов
 - 8.4.2. Программные средства поддержки проектирования/отладки систем
 - 8.5. Средства и методы отладки программного обеспечения
 - 8.5.1. Программные системы моделирования
 - 8.5.2. Прототипные платы
 - 8.5.3. Эмуляторы ПЗУ
 - 8.5.4. Внутрисхемные эмуляторы
 - 8.5.5. Интегрированные среды разработки (оболочки)
 - 8.6. Средства и методы комплексной отладки МП-систем
 - 8.6.1. Программаторы
 - 8.6.2. Логические анализаторы
 - 8.6.3. встроены в МП средства отладки
 - 8.7. Операционные системы реального времени
 - 8.7.1. Основные свойства и механизмы ОСРВ
 - 8.7.2. Примеры ОСРВ и их функциональные возможности для проектирования/отладки систем.
 - 8.8. JTAG-интерфейс и системные функции на его основе
 - 8.9. Процедура проектирования и сведения об автоматизированных средствах проектирования для БИС/СБИС с программируемой структурой. Средства описания проекта
 - 8.9.1. Связь проектной проблемы с выбором САПР
 - 8.9.2. Последовательность проектирования для БИС ПЛ
 - 8.10. Базовые сведения о языке VHDL
 - 8.10.1. Исторический обзор и проблемная ориентация языка
 - 8.10.2. Базовые понятия языка и архитектура программ

- 8.10.3. Синтаксическая организация проекта
 - 8.10.4. Общеалгоритмическая составляющая языка
 - 8.10.5. Проблемно-ориентированная составляющая языка
 - 8.10.6. Структурное описание
 - 8.10.7. Описание поведения
 - 8.10.8. Синтаксис операторов общеалгоритмической составляющей языка
 - 8.11. Описание проектов на языке VHDL. Примеры, иллюстрирующие основные конструкции VHDL.
 - 8.11.1. Структурное описание
 - 8.11.2. Поведенческое описание
 - 8.11.3. Сравнение структурного и поведенческого способов описания проектов
 - 8.11.4. Описание типовых фрагментов вычислительной техники
 - 8.12. Пример автоматизированного проектирования цифрового устройства с использованием языков описания аппаратуры
 - 8.12.1. Варианты реализации и выбор элементной базы
 - 8.12.2. Проектирование БИС ПЛ
 - 8.12.3. Разработка микропроцессорной системы
 - 8.12.4. Особенности процедуры проектирования для БИС ПЛ класса SOPC
- Глава 9. Архитектуры параллельных вычислительных систем
- 9.1. Архитектуры с разделяемой общей памятью
 - 9.2. Архитектуры с распределенной областью памяти
 - 9.3. Матричные системы
 - 9.4. Машины, управляемые потоком данных
 - 9.5. Системические системы
 - 9.6. Обобщенная архитектура параллельных систем
- Список литературы